

Doi:10.3969/j.issn.1003-5060.2010.08.031

基于 Verilog HDL 的 DDR2 SDRAM 控制器设计

周亮, 王娟, 胡畅华, 杨明武, 高挺挺

(合肥工业大学 电子科学与应用物理学院, 安徽 合肥 230009)

摘要: 文章对适用 DDR2 SDRAM 控制器的结构、接口和时序进行了深入研究与分析, 总结出一些控制器的关键技术特性, 然后采用了自顶向下(TOP-DOWN)的设计方法, 用 Verilog 硬件描述语言实现控制器, 随后在 Modelsim 6.1 上通过软件功能仿真, 用 Synopsys 公司的 DC 进行综合, 通过 Altera 公司的 FPGA 进行硬件验证, 结果表明控制器能完全胜任对 DDR2 SDRAM 的控制。

关键词: DDR2 SDRAM; 控制器; Verilog HDL; FPGA

中图分类号: TN43 **文献标志码:** A **文章编号:** 1003-5060(2010)08-1253-04

Design of DDR2 SDRAM controller based on Verilog HDL

ZHOU Liang, WANG Juan, HU Chang-hua, YANG Ming-wu, GAO Ting-ting

(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009, China)

Abstract: The key technologies of DDR2 SDRAM controller such as structure, interface and timing are explored in this paper. By top-down method, several functional modules of controller are designed by Verilog HDL. The design is simulated and verified by Modelsim 6.1 and synthesized by Synopsys Design Compiler, and then implemented by Altera FPGA. The simulation results show that the controller is fully suitable for the DDR2 SDRAM control.

Key words: DDR2 SDRAM; controller; Verilog HDL; field-programmable gate array(FPGA)

0 引言

随着处理器性能的不断提高, 半导体技术与超大规模集成电路的飞速发展, 越来越多的应用将需要更大容量、更高速率的存储器来满足其数据存储的需求, 因此高性价比的 DDR2 存储器将得到越来越广泛的应用, 与其相对应的控制器以其灵活的适应性、高可靠性、良好的可复用性必将成为硬件设计的主流。

本文结合 FPGA 与 ASIC 2 种设计的长处, 提出了一种基于 Verilog HDL 硬件描述语言的 DDR2 SDRAM 的控制器设计方法, 并且攻克了控制器结构复杂性与流片后芯片验证测试 2 个难题。

1 DDR2 SDRAM 的特点

DDR2 是由 JEDEC 定义全新的下一代 DDR 内存技术标准, 是 DDR 内存的换代产品。DDR2 能够在 100 MHz 的发射频率基础上提供每插脚最少 400 MB/s 的带宽, 而且其接口运行于 1.8 V 电压上, 从而进一步降低发热量, 以便提高频率。此外, DDR2 将融入 CAS、OCD、ODT 等新性能指标和中断指令, 提升内存带宽的利用率。

相对于标准 DDR 技术, 虽然 DDR2 和 DDR 一样, 采用了在时钟的上升沿和下降沿同时进行数据传输的基本方式, 但是最大的区别在于, DDR2 内存可进行 4 bit 预读取, 2 倍于标准 DDR 内存的 2 bit 预读取, 这就意味着, DDR2 拥有 2

收稿日期: 2009-08-03; 修回日期: 2009-11-12

作者简介: 周亮(1984-), 男, 江苏南通人, 合肥工业大学硕士生;

杨明武(1958-), 男, 安徽滁州人, 合肥工业大学教授, 硕士生导师。

倍于 DDR 的预读数据的能力。

2 DDR2 SDRAM 控制器的技术及设计

DDR2 SDRAM 控制器的总体结构如图 1 所示,DDR2 SDRAM 和 DDR SDRAM 的接口不同的是多了 1 个 ODT(On Die Termination)接口,能随意修改的是用户 CPU 和 DDR2 SDRAM 控制器之间的接口,用户可以根据不同的需要来选择不同的接口。控制器与存储器之间的引脚可分为 4 个部分:① 时钟引脚,包括 clk 和 clk_{-n},这是一对差分信号;② 命令引脚,包括 cke、cs_{-n}、ras_{-n}、cas_{-n} 和 we_{-n};③ 地址线,包括 address 和 bank;④ 数据线,包括 dq, dqs, ODT^[1,2]。

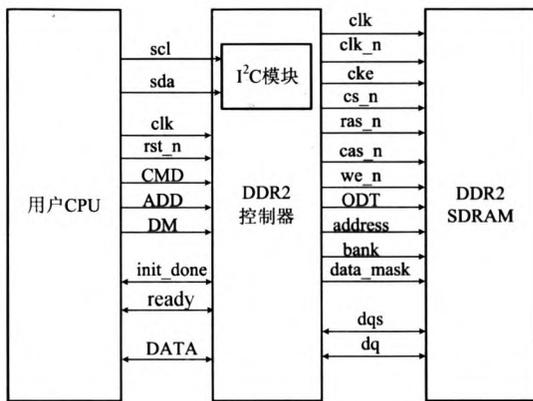


图 1 DDR2 SDRAM 控制器总体结构

把 DDR2 SDRAM 控制器具体展开,控制器的内部结构如图 2 所示,本设计的控制器可分为 5 个部分:I²C 模块、控制模块、命令产生模块、数据通道模块及时钟产生模块。其中控制模块比较复杂,又划分为 4 个小模块。

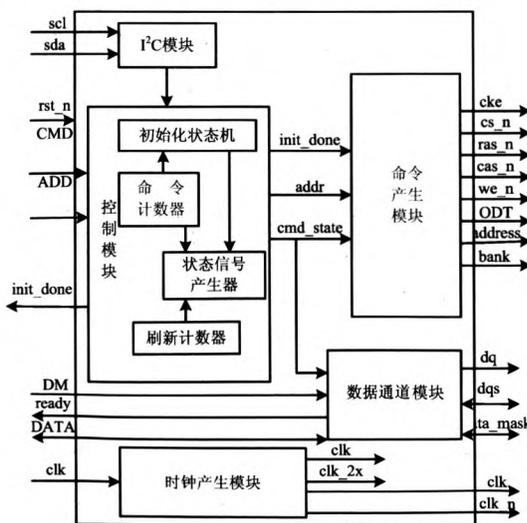


图 2 控制器的内部结构

(1) I²C 模块。I²C 总线是由数据线 SDA 和

时钟 SCL 构成的串行总线,可发送和接收数据。在本设计中,需要通过 I²C 模块传送的数据主要用于初始化时用户必须向 DDR2 传输的各个参数,通过 I²C 模块传输的参数除了平常的初始化参数外(比如 Burst Length, Burst Type, Cas Latency, DLL Enable, Additive Latency, OCD 等等),对 DDR2 还要传输测试数据、测试数据的地址及一些对测试数据的读写命令,用来校准存储器内部 DLL,使读写数据的精确度提高。

(2) 时钟产生模块。本设计中时钟模块需要产生 3 个不同的时钟:clk、clk_{-n}、clk_{2x},其中 clk 及从用户端过来的时钟的频率、相位都一致;clk_{-n} 是 clk 的反时钟;clk_{2x} 是 clk 的 2 倍时钟。时钟 clk 和 clk_{2x} 供控制器本身使用,而时钟 clk 和 clk_{-n} 则供 DDR2 SDRAM 使用。时钟产生模块其实就是一个 PLL(Phase Locked Loop),对于本设计所需的 3 个时钟完全可以通过设置分频器和鉴相器来实现。

(3) 控制模块。控制模块如图 2 所示,控制模块的设计相对其它模块来说要复杂一些,本设计把它分成 4 个小模块。第 1 个小模块是初始化状态机。当用户要使用存储器时,首先必须通过 CMD 命令线先发一个初始化命令,控制器接收到初始化命令时要转换成一系列存储器能读懂的命令,对于 DDR2 SDRAM 来说,初始化的步骤状态转换形式如图 3 所示。

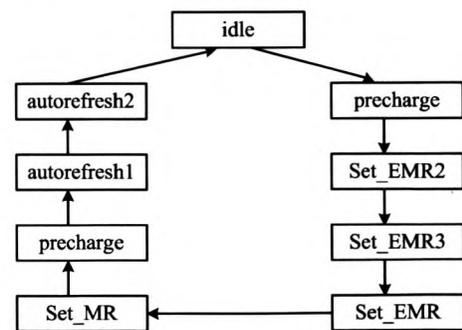


图 3 DDR2 SDRAM 初始化状态转换

第 2 个小模块是命令计数器,主要作用是让控制器以 DDR2 SDRAM 能读懂的方式发送命令。

在初始化时,用户只通过 CMD 命令线发送一个进行初始化的命令,而控制器则要把这个命令分解成几个存储器能读懂的命令,而且这些命令必须符合一定的时序,来保证存储器能正确进行初始化。

第 3 个小模块是状态信号产生器,如图 4 所示。如果用户发送写命令,控制器接收后就由 idle

状态转换到 ACTIVE 状态,经过计数器计数的时间等待后,再转到 Write 状态,再经过计数器计数等待后才写完毕,最后再到 idle 状态。读操作也是同样道理。这样就可以用 Verilog 语言的状态机形式设计出此模块^[2-4]。

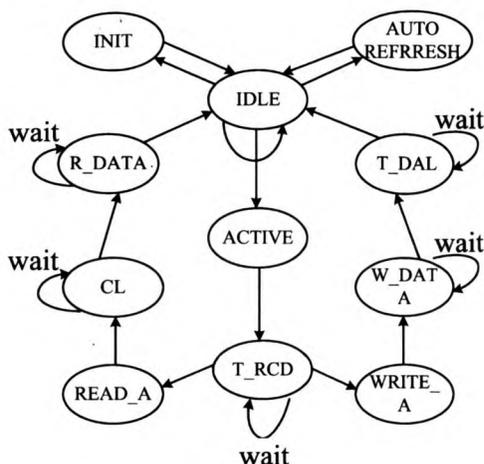


图 4 控制器读写命令的状态转化

第 4 个小模块是刷新计数器,SDRAM 是一种电容存储器,所以对于 SDRAM 必须定时地刷新来保证存储数据的准确性。本设计对于刷新计数器的设计,使用 Verilog 语言描述 LFSR(线性反馈移位寄存器)计数器的设计方法。

(4) 命令产生模块。命令产生模块是控制器直接与存储器之间命令通信的模块,即由此模块直接产生存储器所需要的 cke、cs_{-n}、ras_{-n}、cas_{-n}、we_{-n} 5 根命令线。除此模块还要产生读写时所需的行列地址(address)和簇地址(bank),此外控制器还将产生 ODT 信号。

命令产生模块的设计主要通过控制模块的状态来设计,根据控制模块的状态传输不同来产生不同的存储器能读懂的命令信号。

(5) 数据通道模块。数据通道模块为存储器与用户端提供数据接口,数据通道模块主要完成读写功能。

从最外层的引脚来看,dq 和 dqs 均是双向接口,控制器的读、写数据都是通过 dq 来传输的。写命令时 dqout_{-en} 起作用,把 dqout 传给 dq。读命令时 dqout_{-en} 不起作用,所以 dq 上的数据就传给 dqin 为用户提供数据。用户端的数据宽度是存储器数据宽度的 2 倍,这是因为 DDR2 SDRAM 数据接口在时钟的 2 个边沿均触发数据^[5]。数据通道模块主要通过控制模块的状态来设计,根据控制模块的状态传输不同,来配合产生 dqm、dqs 和 dq。

3 DDR2 SDRAM 控制器设计的验证

3.1 控制器的仿真验证

本设计中控制器的功能仿真通过利用 Verilog 语言写“testbench”的方法,以 Mentor 公司的 Modelsim 作为仿真工具,通过检查波形来完成。在本设计中“testbench”既要产生激励又需响应输出。把“testbench”、控制器、DDR2 SDRAM 的仿真代码一起在 Modelsim 上编译,产生如图 5、图 6 所示的读写波形图^[5,6]。

当 CMD 发出命令以及第 1 个数据,控制器收到后,由命令引脚产生写命令传给 DDR2 SDRAM,接着产生握手信号 ready 通知用户端可以继续发送数据,而控制器把接收到的数据通过 dq 端口传给 DDR2 SDRAM,收到后把数据通过 dq 端口读出来传到用户端口。从 2 幅波形图中可以清楚地看到,本控制器的设计能很好地完成数据的读写功能。

3.2 控制器的逻辑综合

本设计使用 Synopsys 公司的 DC (Design Compiler)为综合的工具,它根据设计描述和约束条件自动综合出一个优化了的门级电路。DC 综合过程包括 3 个步骤: translation+logic optimization+mapping,其中与 transition 对应命令为 read-verilog,与 logic optimization 和 mapping 对应的是 compile。Translation 就是把硬件描述语言用门电路来实现,从而构成初始未优化的电路。Logic optimization 和 mapping 就是对已有的电路进行分析,去掉冗余的电路单元,并对不满足时序的路径进行优化,最后将优化好的电路映射到生产商的单元库中^[7,8]。DC 脚本是一组 dc 命令的集合,一般地,DC 脚本普遍用 TCL (Tool Command Language)脚本语言来描述。

3.3 控制器的 FPGA 验证

FPGA,即现场可编程门阵列(Field-Programmable Gate Array,简称 FPGA),控制器在 ALTERA 公司的 Cyclone 系列 EP1C12F256C6 上实现验证,综合后,使用了 1 208 个逻辑单元,占用资源 10.07%;使用了 122 个引脚,占用资源 60.5%;使用了 2 个 PLL,占用资源 100%;其最高主频因为 FPGA 器件本身缘故只达到了 171 M,但功能完全正确。

本设计在 TSMC(台积电)流片,以 FPGA 板配合高速 PCB 板对芯片进行测试,而且频率在流片测试时能上到 400 MHz,能完全适合对 DDR2 SDRAM 控制器的控制。

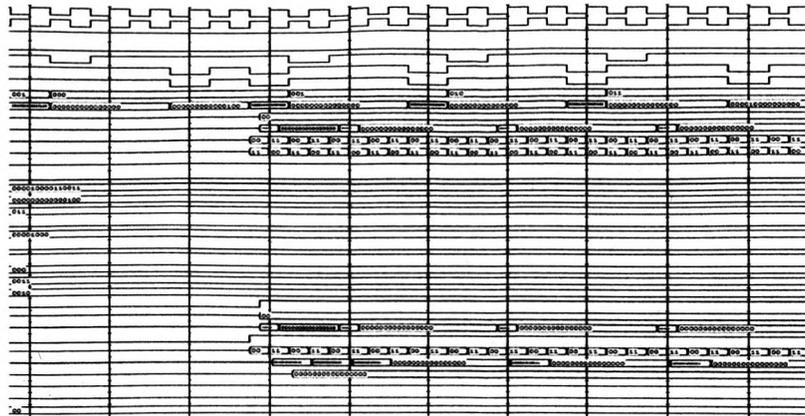


图 5 写数据状态的波形

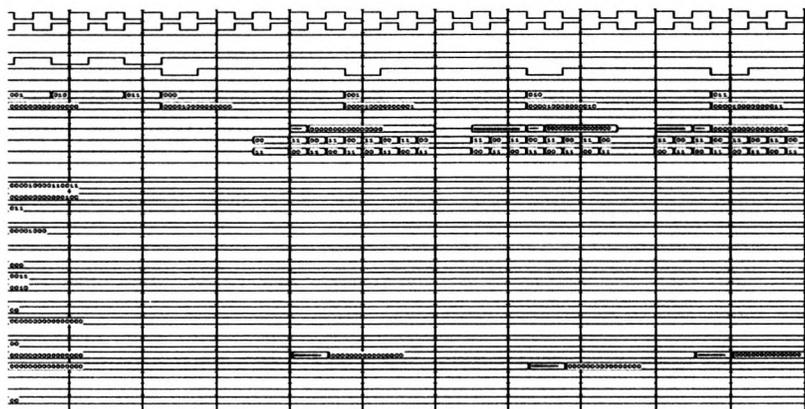


图 6 读数据状态的波形

4 结束语

本文在详细研究了 DDR2 SDRAM 的主要原理和结构的基础上,针对目前内存技术迅猛发展的趋势,提出了一种适用于 DDR2 SDRAM 的控制器的设计,并基于 Verilog 硬件描述语言实现控制器,在通过一系列的逻辑仿真、综合、FPGA 硬件验证后得以实现。

本文结合 FPGA 与 ASIC 2 种设计的长处,以 FPGA 设计作为 ASIC 设计的硬件验证工具,使 ASIC 设计的流片成功率大为增加,降低了多次流片的概率,从而减少了成本,解决了控制器结构复杂以及流片后芯片验证的难题。

[参 考 文 献]

[1] 杜慧敏,李宥谋,赵全良. 基于 Verilog 的 FPGA 设计基础

[M]. 西安:西安电子科技大学出版社,2006:56-78.

[2] 简弘伦. 精通 Verilog HDL[M]. 北京:电子工业出版社,2005:100-162.

[3] 刘宝琴,罗 嵘,王德生. 数字电路与系统[M]. 北京:清华大学出版社,2007:163-180.

[4] 赵 刚. 数字电路与系统课程精粹与题解[M]. 成都:四川大学出版社,2008:90-109.

[5] 华清远见嵌入式培训中心. FPGA 应用开发入门与典型实例[M]. 北京:人民邮电出版社,2008:122-137.

[6] Wolf W. FPGA-based system design[M]. Beijing: China Machine Press,2005:109-118.

[7] Scheffer L, Lavagno L. 集成电路系统设计、验证与测试[M]. 陈力颖,王 猛,译. 北京:科学出版社,2008:25-36.

[8] Baker R J, Li H W, Boyce D E. CMOS 电路设计:布局与仿真[M]. 陈中建,译. 北京:机械工业出版社,2006:102-156.

(责任编辑 朱华新)